



This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086641  
Application Number

출원년월일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

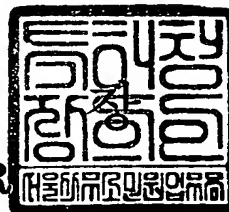
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 09 월 18 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】 특허출원서  
 【권리구분】 특허  
 【수신처】 특허청장  
 【참조번호】 0109  
 【제출일자】 2002. 12. 30  
 【발명의 명칭】 반도체 소자 제조시 듀얼 다마신 공정을 이용한 콘택 형성방법  
 【발명의 영문명칭】 METHOD FOR FORMING A CONTACT USING DUAL DAMASCENE PROCESS IN SEMICONDUCTOR FABRICATION

## 【출원인】

【명칭】 동부전자 주식회사

【출원인코드】 1-1998-106725-7

## 【대리인】

【성명】 장성구

【대리인코드】 9-1998-000514-8

【포괄위임등록번호】 1999-059722-7

## 【대리인】

【성명】 김원준

【대리인코드】 9-1998-000104-8

【포괄위임등록번호】 1999-059725-9

## 【발명자】

【성명의 국문표기】 전인규

【성명의 영문표기】 CHUN, In Kyu

【주민등록번호】 711002-1333617

【우편번호】 469-885

【주소】 경기도 여주군 가남면 신해리 620-1 현지에버빌 203동 504호

【국적】 KR

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
 장성구 (인) 대리인  
 김원준 (인)

## 【수수료】

【기본출원료】 14 면 29,000 원

【가산출원료】 0 면 0 원

0020086641

출력 일자: 2003/9/23

【우선권 주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 구리 배선을 이용하는 반도체 소자에서 다마신 공정을 이용한 콘택 형성방법에 관한 것이다. 즉, 본 발명은 반도체 소자 제조시 콘택 영역에서도 듀얼 다마신을 이용함으로써, 콘택홀내 텅스텐 플러그 형성시 텅스텐 터치업 공정 중에 발생하는 웨이퍼 표면의 스크래치 발생이나 절연막에서의 립아웃(rip-out) 현상을 줄일 수 있는 이점이 있다. 또한 베리어 탄탈륨막의 붕괴로 인한 구리의 확산 현상을 방지시킬 수 있으며, 텅스텐 플러그와 구리 배선 간 콘택 저항을 줄일 수 있는 이점이 있다.

**【대표도】**

도 2g



**【명세서】**

**【발명의 명칭】**

반도체 소자 제조시 듀얼 다마신 공정을 이용한 콘택 형성방법{METHOD FOR FORMING A CONTACT USING DUAL DAMASCENE PROCESS IN SEMICONDUCTOR FABRICATION}

**【도면의 간단한 설명】**

도 1a 내지 도 1f는 종래 반도체 소자 제조시 콘택홀 형성방법,

도 2a 내지 도 2g는 본 발명의 실시 예에 따른 듀얼다마신 공정을 이용한 반도체 소자 제조시 콘택홀 형성방법.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자 제조방법에 관한 것으로, 특히 구리 배선(Cu line)을 이용하는 반도체 소자에서 듀얼 다마신(Dual damascene) 공정을 이용한 콘택(Contact) 형성방법에 관한 것이다.
- <4> 현재 고집적화된 반도체 제조공정에 있어서 배선 저항을 줄이기 위한 방법으로 구리 배선을 이용한 반도체 소자 제조방법에 대한 연구가 활발히 진행되고 있다. 상기 구리 배선을 위해서는 탄탈륨(Ta) 및 질화 탄탈륨(TaN)을 확산방지막으로 하여 구리 시드(Seed)를 증착시킨 후, 구리 전착(Electrochemical Plate)법을 통해서 구리 배선을 형성하는 듀얼 다마신 공법이 널리 사용되고 있다.



- <5> 그러나 반도체 소자의 콘택 형성시에는 구리 배선 및 비아(Via)의 형성에 이용되는 듀얼 다마신공법을 이용하지 않고, 텅스텐 플러그(W-plug)와 싱글 다마신(Single damascene)을 이용하여 콘택을 형성하고 있다.
- <6> 이때 상기 텅스텐 플러그를 형성하기 위해서는 텅스텐 CMP공정이 수반되며, 후속공정으로 터치업 공정(Touch-up Process)이 필요하다. 그런데 터치업 공정 중에 옥사이드 파티클(Oxide particle) 또는 CMP공정 진행 중 발생된 파티클에 의해 웨이퍼 표면에 마이크로/마크로 스크래치(micro/macro scratch)나 절연막이 뜯겨져 나가는(rip-out) 디펙(Defect)을 유발시켜 후속 공정 등에 영향을 미치게 되는 문제점이 있었다.
- <7> 또한 구리 CMP 공정시, 텅스텐 플러그와 구리 배선의 접촉부위에서 배리어(Barrier)막으로 사용되는 질화 탄탈륨(TaN)이 텅스텐 플러그 중심부위에서 붕괴되어 실리콘 기판 서브스트레이트(Substrate)로 구리가 확산되는 문제점이 있었다.
- <8> 도 1a 내지 도 1f는 종래 텅스텐 플러그와 싱글 다마신을 이용한 콘택 형성 공정 수순도를 도시한 것이다. 이하 상기 도 1a 내지 도 1f를 참조하면,
- <9> 먼저 도 1a에서와 같이 PMD(Pre-Metal Dielectric)층(102) 상에 콘택이 형성될 영역을 사진/식각 공정을 통해 콘택홀(104)을 형성시킨다. 이어 도 1b에서와 같이 상기 형성된 콘택홀내 배리어막(106)으로 질화 탄탈륨을 증착시킨 후, 상기 질화 탄탈륨막을 배리어막으로 하여 상기 콘택홀내 텅스텐을 증착시켜 텅스텐 플러그(108)를 형성시킨다.
- <10> 이어 도 1c에서와 같이 텅스텐 CMP를 수행하여 웨이퍼 표면의 텅스텐(108)을 제거한다. 이때 상기 텅스텐 CMP는 텅스텐 막을 폴리싱(Polishing)하는 것과 완전히 제거되지 않은 텅스텐 잔존물(Residue)을 없애는 일종의 옥사이드 CMP 공정인 터치업(Touch-up)으로 구성된다.

- <11> 그리고 도 1d에서와 같이 PMD층(102)위에 상기 콘택홀과 연결 설정되는 금속 배선 영역의 트랜치(110)를 사진/식각 공정을 통해 형성시킨다. 이어 도 1e에서와 같이 상기 식각 형성된 트랜치(110)에 구리(112)를 증착시켜 금속배선을 형성시킨 후, 도 1f에서와 같이 구리 CMP 공정을 통해 웨이퍼 표면에 증착된 구리(112)를 제거시키게 된다.
- <12> 그러나 상기한 바와 같은 종래 콘택형성 방법에서는 상기 터치업 공정으로 인하여 웨이퍼 표면에 마이크로/마크로 스크래치가 발생하거나 절연막이 뜯겨져 나가는 디펙트가 발생하여 후속 공정에 영향을 미치게 되며, 절연막 CMP 공정과는 달리 오버 폴리싱시 공정 스텝상 재작업(Rework)이 거의 불가능한 문제점이 있었다.
- <13> 또한 콘택에 형성된 텅스텐 플러그는 중앙부위에 일정 정도의 공간을 가지게 되는데, 이로 인해 싱글 다마신 및 구리 ECP공정 후의 구리 CMP공정에서 베리어막이 붕괴되어 구리가 텅스텐 플러그를 타고 실리콘 기판내로 확산(Diffusion)되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <14> 따라서, 본 발명의 목적은 반도체 소자 제조시 콘택홀 형성에 있어서, 콘택홀내 텅스텐 플러그 형성시 텅스텐 터치업 공정 중에 발생하는 웨이퍼 표면의 스크래치 발생이나 절연막에서의 립아웃(rip-out) 현상을 줄이며, 베리어 탄탈륨막의 붕괴로 인한 구리의 확산 현상을 방지시키고, 텅스텐 플러그와 구리 배선간 콘택 저항을 줄일 수 있는 구리 배선을 이용하는 반도체 소자에서 다마신 공정을 이용한 콘택 형성방법을 제공함에 있다.
- <15> 상술한 목적을 달성하기 위한 본 발명은 반도체 소자 제조시 구리 배선을 이용한 콘택 형성방법에 있어서, (a)실리콘 기판상 PMD층내 다마신 패턴을 사진/식각 공정을 통해 형성시키는 단계와; (b)상기 다마신 패턴 내부에 베리어막을 증착시키는 단계와; (c)상기 다마신 패턴

내 베리어막위에 텅스텐을 증착시켜 다마신 패턴을 텅스텐으로 채우는 단계와; (d)텅스텐 CMP로 폴리싱 후, 텅스텐 건식식각을 통해 상기 다마신 패턴 트랜치내 텅스텐을 제거시키는 단계와; (e)상기 다마신 패턴 트랜치내 상기 텅스텐 플러그와 연결되도록 구리를 증착시켜 다마신 패턴을 완성시키는 단계;를 포함하는 것을 특징으로 한다.

### 【발명의 구성 및 작용】

- <16> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예의 동작을 상세하게 설명한다.
- <17> 도 2a 내지 도 2g는 본 발명의 실시 예에 따라 콘택영역에서도 듀얼 다마신을 이용하는 콘택 형성 공정 수순도를 도시한 것이다. 이하 상기 도 2a 내지 도 2g를 참조하여 본 발명의 콘택 형성 공정을 상세히 설명하기로 한다.
- <18> 먼저 도 2a에서와 같이 PMD층(202) 상에 사진/식각 공정을 통해 듀얼 다마신 패턴(201)을 형성시킨다. 이어 도 2b에서와 같이 상기 형성된 듀얼 다마신 패턴내 트랜치와 콘택홀내 베리어막(204)으로 질화 탄탈륨을 증착시킨 후, 도 2c에서와 같이 상기 질화 탄탈륨을 베리어막으로 하여 상기 듀얼 다마신 패턴내 트랜치 및 콘택홀내부에 텅스텐을 증착시켜 텅스텐 플러그(206)를 형성시킨다.
- <19> 이어 도 2d 및 도 2e에서와 같이 텅스텐 CMP를 수행하여 웨이퍼 표면 및 듀얼 다마신 패턴의 트랜치내 텅스텐(206)을 제거한다. 즉, 상기 텅스텐 CMP는 상기 도 2d에서와 같이 텅스텐막을 폴리싱하여 웨이퍼 표면의 텅스텐을 제거하며, 상기 도 2e에서와 같이 건식 식각을 통해 트랜치내의 텅스텐을 제거시키게 된다. 이때 상기 트랜치내 텅스텐(206)은 본 발명의 실시 예



에 따라 완전히 제거하지 않고 트렌치 하부의 일정높이만큼 잔존하도록 하여 콘택홀이 노출되지 않도록 한다.

<20> 그리고 도 2f에서와 같이 상기 텅스텐 제거된 듀얼 다마신 패턴의 트렌치 영역에 구리(208)를 증착시켜 금속배선을 형성시킨 후, 도 2g에서와 같이 구리 CMP 공정을 통해 웨이퍼 표면에 증착된 구리(208)를 제거시키게 된다.

<21> 한편 상술한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시될 수 있다. 따라서 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니고 특허청구범위에 의해 정하여져야 한다.

#### 【발명의 효과】

<22> 이상에서 설명한 바와 같이, 본 발명은 반도체 소자 제조시 콘택 영역에서도 듀얼 다마신을 이용함으로써, 콘택홀내 텅스텐 플러그 형성시 텅스텐 터치업 공정 중에 발생하는 웨이퍼 표면의 스크래치 발생이나 절연막에서의 립아웃(rip-out) 현상을 줄일 수 있는 이점이 있다. 또한 베리어 탄탈륨막의 붕괴로 인한 구리의 확산 현상을 방지시킬 수 있으며, 텅스텐 플러그와 구리 배선간 콘택 저항을 줄일 수 있는 이점이 있다.

**【특허청구범위】****【청구항 1】**

반도체 소자 제조시 구리 배선을 이용한 콘택 형성방법에 있어서,

(a) 실리콘 기판상 PMD층내 다마신 패턴을 사진/시작 공정을 통해 형성시키는 단계와;

(b)상기 다마신 패턴 내부에 베리어막을 증착시키는 단계와;

(c) 상기 다마신 패턴내 베리어막위에 텅스텐을 증착시켜 다마신 패턴을 텅스텐으로 채우는 단계와;

(d)텅스텐 CMP로 폴리싱 후, 텅스텐 건식식각을 통해 상기 다마신 패턴 트랜치내 텅스텐을 제거시키는 단계와;

(e)상기 다마신 패턴 트랜치내 상기 텅스텐 플러그와 연결되도록 구리를 증착시켜 다마신 패턴을 완성시키는 단계;를 포함하는 것을 특징으로 하는 반도체 소자 제조시 구리 배선을 이용한 콘택 형성 방법.

**【청구항 2】**

제1항에 있어서,

상기 (d)단계에서, 상기 다마신 패턴 트랜치내 충전된 텅스텐은, 상기 다마신 패턴의 콘택홀이 노출되지 않도록 식각되는 것을 특징으로 하는 반도체 소자 제조시 구리 배선을 이용한 콘택 형성방법.

【청구항 3】

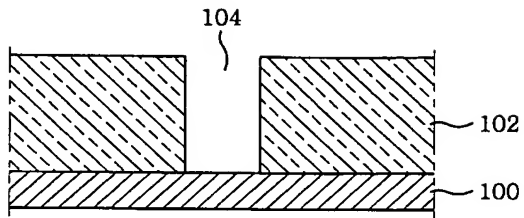
제1항에 있어서,

상기 베리어막은, 탄탈륨으로 형성되는 것을 특징으로 하는 반도체 소자 제조시 구리 배선을 이용한 콘택 형성방법.

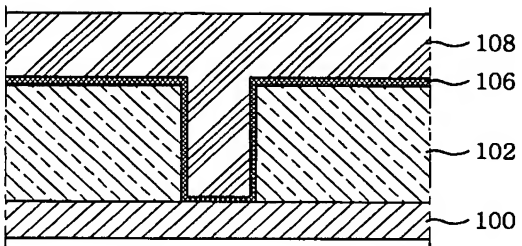


【도면】

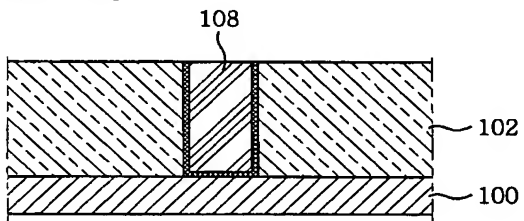
【도 1a】



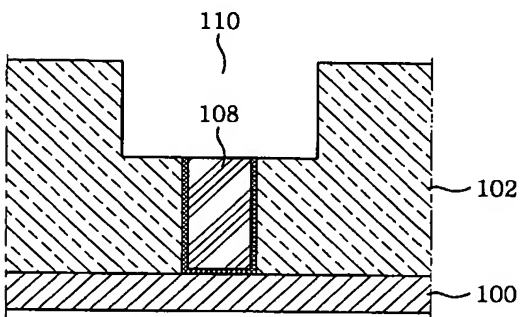
【도 1b】



【도 1c】

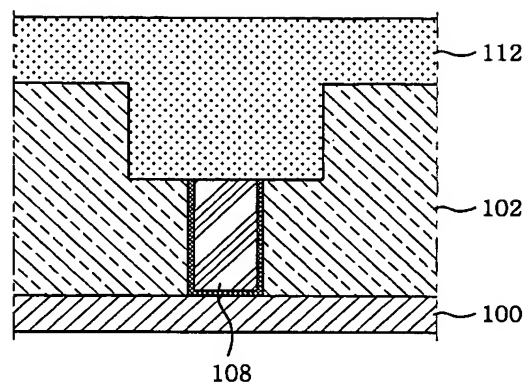


【도 1d】

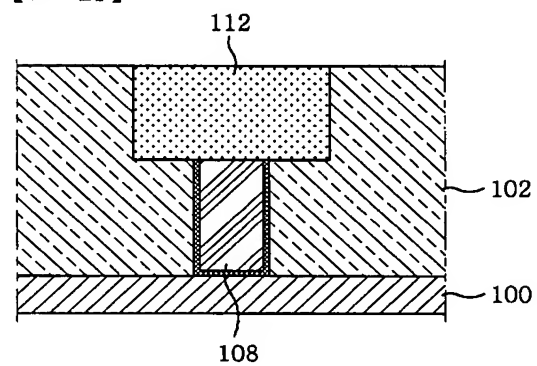




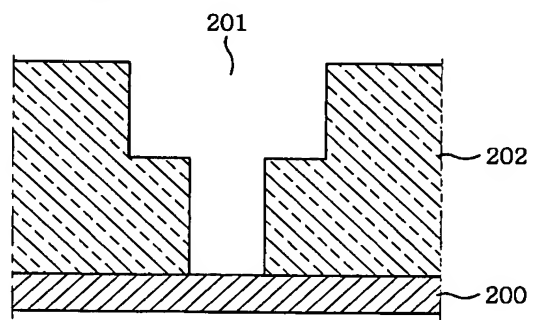
【도 1e】



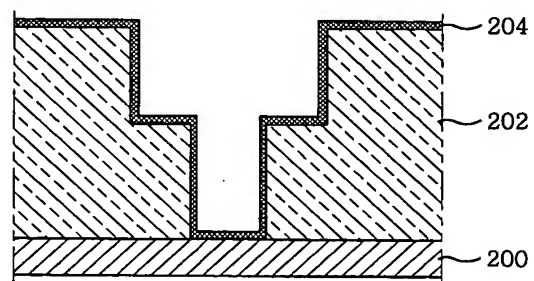
【도 1f】



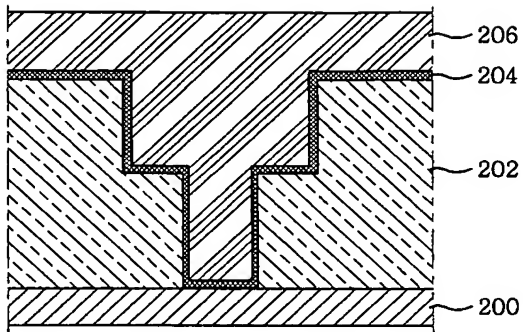
【도 2a】



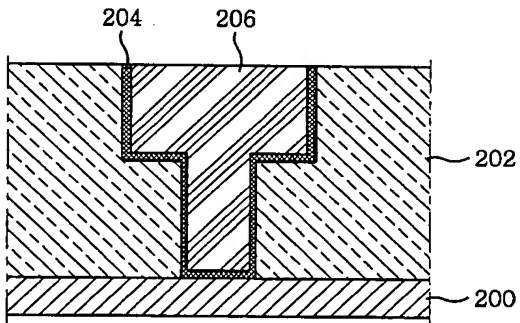
【도 2b】



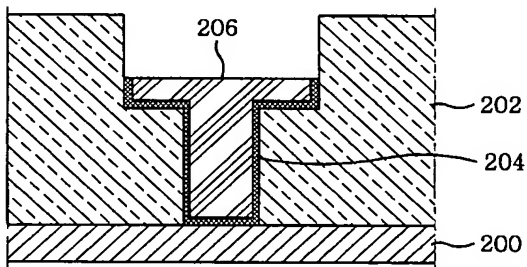
【도 2c】



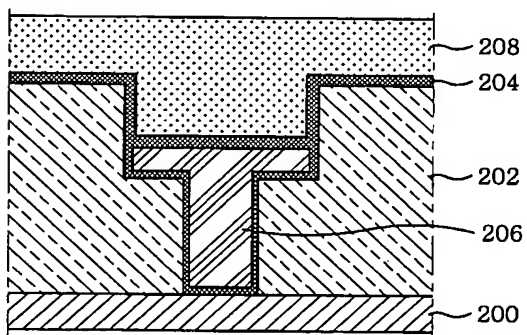
【도 2d】



【도 2e】



【도 2f】



【도 2g】

